(19) 世界知的所有権機関 国際事務局



I TREIR BUILDIN IN BURNE HEN BENN BERN BENN IN IN BENNE BURN HERE HENE BENN BUR BENNE HER BURNE HER HER HER HE

(43) 国際公開日 2005年9月29日(29.09.2005)

PCT

G11B 20/14,

(10) 国際公開番号 WO 2005/091294 A1

(51) 国際特許分類7:

7/005, H03L 7/08, 7/095, 7/107

(21) 国際出願番号: PCT/JP2005/005288

(22) 国際出願日: 2005年3月23日(23.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願2004-084352 2004年3月23日(23.03.2004) ЛР 特願2004-292214 2004年10月5日(05.10.2004) JP (71) 出願人(米国を除く全ての指定国について): 松下電 器産業株式会社 (MATSUSHITA ELECTRIC INDUS-TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大 字門真 1 0 0 6 号 Osaka (JP).

(72) 発明者; および

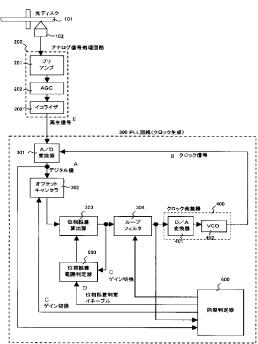
(75) 発明者/出願人 (米国についてのみ): 中田 浩平 (NAKATA, Kohei). 宮下 晴旬 (MIYASHITA, Harumitsu).

(74) 代理人: 山本 秀策, 外(YAMAMOTO, Shusaku et al.); 〒5406015 大阪府大阪市中央区城見一丁目2番27号 クリスタルタワー 1 5 階 Osaka (JP).

/続葉有/

(54) Title: CLOCK SIGNAL GENERATION DEVICE, SEMICONDUCTOR INTEGRATED CIRCUIT, AND DATA REPRO-**DUCTION METHOD**

(54) 発明の名称: クロック信号生成装置、半導体集積回路およびデータ再生方法



- 101... OPTICAL DISC 200... ANALOG SIGNAL PROCESSING CIRCUIT 201... PRE-AMPLIFIER
- . EQUALIZER REPRODUCTION SIGNAL
- 300... PLL CIRCUIT (CLOCK GENERATION) 301... AD CONVERTER A... DIGITAL VALUE
- . CLOCK SIGNAL
- 302... OFFSET CANCELLER 303... PHASE DIFFERENCE CALCULATOR
- 304... LOOP FILTER 400... CLOCK OSCILLATOR
- 401... D/A CONVERTER
- .. PHASE DIFFERENCE RANGE JUDGMENT UNIT
- D... PHASE DIFFERENCE JUDGMENT ENABLE
- 600... SYNCHRONIZATION JUDGMENT UNI

(57) Abstract: It is possible to improve the PLL draw time by providing a phase difference detector having a wide phase difference detection range and by performing gain control based on the PLL synchronization state. By correcting a phase difference detection point when the phase difference increases, the phase difference detection range is made wider. Moreover, the PLL lock state is judged according to the standard deviation of the value obtained by smoothing the phase difference value so that the gain is switched between the draw transient state and the stationary state, thereby reducing and stabilizing the PLL draw time.

本発明は、位相誤差検出範囲を広くした位相誤 (57) 要約: 差検出器と、PLL同期状態に基づいたゲイン制御により、 PLLの引込時間の改善を図る。位相誤差が増加している 場合に位相誤差検出点の補正を行うことにより位相誤差検 出範囲を広くする。また、位相誤差値を平滑化した値の標 準偏差に基づいてPLLのロック状態を判定し、引込過渡 状態と定常状態とでゲインを切り替えることにより、PLL の引込時間を短縮かつ安定させることが可能となる。

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護 が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), $\exists - \Box \lor \land (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).$

添付公開書類:

一 国際調査報告書

2文字コード及び他の略語については、定期発行される 各PCTガゼットの巻頭に掲載されている「コードと略語 のガイダンスノート」を参照。